PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-118856

(43)Date of publication of application : 27.04.2001

(51)Int.Cl. H01L 21/331
H01L 29/73

(21)Application number : 11-298044

(22)Date of filing : 20.10.1999

(71)Applicant : TOSHIBA CORP

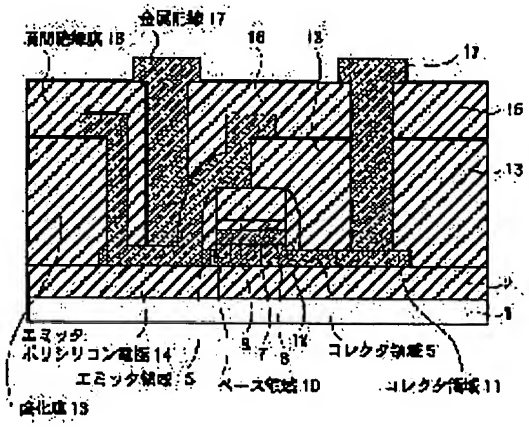
(72)Inventor : ARAI HIDEAKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a fault of a horizontal bipolar transistor formed on an SOI substrate that a large quantity of the minority carrier is injected from the base to the emitter since an emitter diffusion layer is formed in single crystal silicon, resulting in the deterioration of high-frequency response characteristics.

SOLUTION: A base region 10 is formed in single crystal silicon 3. With a side wall material 12 of a base electrode as a mask, the base region 10 is removed by etching. Thereafter, a polysilicon layer is deposited and N-type impurities are doped to form an emitter polysilicon layer 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The process which forms the first insulator layer on the semi-conductor substrate of the first conductivity type, forms a single-crystal-silicon layer on this first insulator layer, and forms the second insulator layer on this single-crystal-silicon layer, The process which uses an impurity ion implantation for said single-crystal-silicon layer, and forms the second conductivity-type field, The process which removes said second insulator layer, and the process which forms a polycrystal silicone film on said second conductivity-type field, The process which pours the impurity of the first conductivity type into said polycrystal silicone film by the impurity ion implantation, The process which forms the third insulator layer on said polycrystal silicone film, and said third insulator layer The process which leaves and removes only the emitter section formation schedule field upper part in said second conductivity-type field, the base section formation schedule field upper part, and the collector section formation schedule field upper part, The process which forms the fourth insulator layer in said a part of nitride front face, and said polycrystal silicone film located in addition to the lower part of said third insulator layer and the process which removes said second conductivity-type field, Said third insulator layer located in addition to the lower part of said fourth insulator layer, said polycrystal silicone film, and the process which removes said second conductivity-type field upper part, By the process which forms the fifth insulator layer in the front face which said second conductivity-type field, said third insulator layer, said polycrystal silicone film, and said fourth insulator layer exposed, and the impurity ion implantation of the first conductivity type The process which forms a base region in said second conductivity-type field alternatively, and the process which carries out the ion implantation of the impurity of the second conductivity type alternatively, and forms a collector field in said second conductivity-type field, The process which forms said sixth insulator layer in the process which removes said fifth insulator layer, said third exposed insulator layer side face, said polycrystal silicone film side face, said fourth insulator layer side face, the part on said base region, and the part on said 2nd conductivity-type field, By the process which forms an interlayer insulation film on said first insulator layer, said second conductivity-type field, said fourth insulator layer, said base region, said collector field, and said sixth insulator layer, and the removal approach with selectivity The process which removes said interlayer insulation film according to an opening formation schedule field, and forms opening to which said a part of fourth insulator layer, said a part of sixth insulator layer, the interlayer insulation film side face, and said a part of base region were exposed, The process which removes an emitter section formation schedule field among said exposed base regions by the removal approach with selectivity so that said almost perpendicular base region side face can form, Injected the impurity of the second conductivity type into said emitter section formation schedule field and said opening. The manufacture approach of a semiconductor device of providing the process which forms the emitter electrode of the fixed thickness which consists of polycrystalline silicon, and forms said a part of base region which adjoined this emitter electrode at coincidence as an emitter region.
[Claim 2] Said semiconductor device according to claim 1 characterized by providing the process which pours germanium into said base region and forms germanium base region.

[Claim 3] On the base section prepared on the first insulator layer on a semi-conductor substrate, and said first insulator layer, and said first insulator layer And the collector section adjoined and prepared in the side face of said base section one side, The side face of said base section other side, and the emitter section which adjoined almost perpendicularly and was prepared on the one side side face, The 1st side-attachment-wall insulator layer prepared in the part on said base section front face almost perpendicularly, The 2nd side-attachment-wall insulator layer prepared in the part on said collector section front face almost perpendicularly, The first interlayer insulation film which separated fixed spacing to said base section other side, and was prepared almost perpendicularly on said first insulator layer, The 2nd insulator layer which exists in a part of staging area of said 1st side-attachment-wall insulator layer and said 2nd side-attachment-wall insulator layer, The 2nd interlayer insulation film prepared almost at right angles to the part on said 2nd insulator layer front face, A part of said 1st interlayer insulation film side face, said 1st interlayer insulation film front face, and said 2nd interlayer insulation film side face, The semiconductor device characterized by providing the emitter polar zone which was formed in the part on a part of said a part of 2nd interlayer insulation film front face, said 1st side-attachment-wall insulator layer side face, 2nd insulator layer front face, said emitter section other side side face, and said first insulator layer, and which consists of the polycrystalline silicon of fixed thickness.

[Claim 4] The semiconductor device according to claim 3 characterized by pouring germanium into said base section.

[Translation done.]

* NOTICES *

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention relates to manufacture of the broadside bipolar transistor on a SOI substrate.
[0002]
[Description of the Prior Art] Although development of the analog LSI aiming at loading to portable communication equipment is furthered in recent years, in order to await and to realize long duration-ization of time of delivery or duration of a call, low-power-ization of a transistor is regarded as an important technical problem. Hereafter, as shown in drawing, the manufacture approach of the bipolar transistor formed using the conventional technique is explained. First, on a silicon substrate 21, an oxide film 22, and the SOI substrate that consists of the single-crystal-silicon layer 23, as shown in drawing 10 , after forming an oxide film 24 by thermal oxidation, an N type impurity ion implantation is performed and the single-crystal-silicon layer 23 is formed as a collector field 25 of N type. next, LPCVD as shown in drawing 11 , after exfoliating the surface oxide film 24 using HF system solution -- about 500A polish recon layer 26 is made to deposit, the impurity of P type is doped by the ion implantation, and about 200A nitride 27 is made to deposit further by law next, LPCVD as shown in drawing 12 , after processing a nitride 27 into a predetermined configuration using patterning by lithography, and etching by the RIE method -- about 2000A oxide film 28 is made to deposit by law Then, an oxide film 28 is processed into a predetermined configuration using patterning and RIE by lithography.
[0003] This oxide film etching is performed using the conditions which are hard to be etched to a nitride and silicon. Next, as shown in drawing 13 , the polish recon layer 26 and the collector field 25 of N type are etched by RIE by using a nitride 27 as a mask. Next, as shown in drawing 14 , etching removal of the field exposed to the front face by the nitride 27 is carried out using RIE. At this time, the field exposed to the front face with the oxide film 28 and the oxide film 22 is also etched for how many minutes. Then, the field exposed on collector field 25 front face of N type is continuously etched to the middle of the collector field 25 of N type using RIE. Next, after making about 200A oxide film 29 deposit on a substrate front face as shown in drawing 15 , the diffusion layer which serves as a base region 30 by the ion implantation is formed by using as a mask a resist pattern which is illustrated. This base region 30 is electrically connected with P+ polish recon layer 26 by choosing a suitable ion notes entry condition. Next, as shown in drawing 16 , about 1000A insulating layer is deposited, a side attachment wall 31 is formed using RIE, and the diffusion layer which serves as an emitter region 32 by the ion implantation is formed by using as a mask a resist pattern which is illustrated.
[0004] Next, by patterning and the ion implantation by lithography, as shown in drawing 17 , after forming the collector diffusion layer 33, about 10000A interlayer insulation film 34 is made to deposit, a predetermined photolithography is performed, the contact 35 to each electrode of a bipolar transistor is punctured, and the predetermined wiring 36 is formed using metals, such as aluminum and W.
[0005]
[Problem(s) to be Solved by the Invention] Although the transistor manufactured by the above

approaches had low parasitic capacitance compared with the usual bipolar transistor and low-power-ization could be attained, the following technical problems occurred. That is, since the emitter section was formed into a single-crystal-silicon layer, there were many amounts of minority carrier injection from the base to an emitter, and they had caused degradation of a RF response characteristic. Moreover, since the emitter section is formed from the upper part by the ion implantation, the lower part which was not formed as the emitter section remains as a base part as it is. For the reason, base width of face was perpendicular and did not become equal, but in the lower field near especially the oxide film 2, base width of face increased and degradation of a RF property was caused by the base part which was not formed as the emitter section. This invention aims at offering the manufacture approach of a semiconductor device without degradation of the RF response characteristic which solved the above-mentioned technical problem.

[0006]

[Means for Solving the Problem] The structure of this invention on the base section prepared on the first insulator layer on a semi-conductor substrate, and said first insulator layer, and said first insulator layer And the collector section adjoined and prepared in the side face of said base section one side, The side face of said base section other side, and the emitter section which adjoined almost perpendicularly and was prepared on the one side side face, The 1st side-attachment-wall insulator layer prepared in the part on said base section front face almost perpendicularly, The 2nd side-attachment-wall insulator layer prepared in the part on said collector section front face almost perpendicularly, The first interlayer insulation film which separated fixed spacing to said base section other side, and was prepared almost perpendicularly on said first insulator layer, The 2nd insulator layer which exists in a part of staging area of said 1st side-attachment-wall insulator layer and said 2nd side-attachment-wall insulator layer, The 2nd interlayer insulation film prepared almost at right angles to the part on said 2nd insulator layer front face, A part of said 1st interlayer insulation film side face, said 1st interlayer insulation film front face, and said 2nd interlayer insulation film side face, It is characterized by providing the emitter polar zone which was formed in the part on a part of said a part of 2nd interlayer insulation film front face, said 1st side-attachment-wall insulator layer side face, 2nd insulator layer front face, said emitter section other side side face, and said first insulator layer and which consists of the polycrystalline silicon of fixed thickness.

[0007] The process which the manufacture approach of this invention forms the first insulator layer on the semi-conductor substrate of the first conductivity type, forms a single-crystal-silicon layer on this first insulator layer, and forms the second insulator layer on this single-crystal-silicon layer, The process which uses an impurity ion implantation for said single-crystal-silicon layer, and forms the second conductivity-type field, The process which removes said second insulator layer, and the process which forms a polycrystal silicone film on said second conductivity-type field, The process which pours the impurity of the first conductivity type into said polycrystal silicone film by the impurity ion implantation, The process which forms the third insulator layer on said polycrystal silicone film, and said third insulator layer The process which leaves and removes only the emitter section formation schedule field upper part in said second conductivity-type field, the base section formation schedule field upper part, and the collector section formation schedule field upper part, The process which forms the fourth insulator layer in said a part of nitride front face, and said polycrystal silicone film located in addition to the lower part of said third insulator layer and the process which removes said second conductivity-type field, Said third insulator layer located in addition to the lower part of said fourth insulator layer, said polycrystal silicone film, and the process which removes said second conductivity-type field upper part, By the process which forms the fifth insulator layer in the front face which said second conductivity-type field, said third insulator layer, said polycrystal silicone film, and said fourth insulator layer exposed, and the impurity ion implantation of the first conductivity type The process which forms a base region in said second conductivity-type field alternatively, and the process which carries out the ion implantation of the impurity of the second conductivity type alternatively, and forms a collector field in said second conductivity-type field, The process which forms said sixth insulator layer in the process which removes said fifth insulator layer, said

third exposed insulator layer side face, said polycrystal silicone film side face, said fourth insulator layer side face, the part on said base region, and the part on said 2nd conductivity-type field, By the process which forms an interlayer insulation film on said first insulator layer, said second conductivity-type field, said fourth insulator layer, said base region, said collector field, and said sixth insulator layer, and the removal approach with selectivity The process which removes said interlayer insulation film according to an opening formation schedule field, and forms opening to which said a part of fourth insulator layer, said a part of sixth insulator layer, the interlayer insulation film side face, and said a part of base region were exposed, The process which removes an emitter section formation schedule field among said exposed base regions by the removal approach with selectivity so that said almost perpendicular base region side face can form, Injected the impurity of the second conductivity type into said emitter section formation schedule field and said opening. It is characterized by providing the process which forms the emitter electrode of the fixed thickness which consists of polycrystalline silicon, and forms said a part of base region which adjoined this emitter electrode at coincidence as an emitter region.

[0008]

[Embodiment of the Invention] First, as shown in drawing 2 , an oxide film 4 is formed by thermal oxidation on a silicon substrate 1, an oxide film 2, and the SOI substrate that consists of a single-crystal-silicon layer 3. Then, the impurity ion implantation of N type is performed in the single-crystal-silicon layer 3, and the collector field 5 of N type is formed. next, LPCVD as shown in drawing 3 , after exfoliating the surface oxide film 4 using HF system solution -- about 500A polish recon layer 6 is made to deposit, the impurity of P type is doped by the ion implantation, and about 200A nitride 7 is made to deposit further by law next, LPCVD as shown in drawing 4 , after processing a nitride 7 into a predetermined configuration using patterning by lithography, and etching by the RIE method -- about 2000A oxide film 8 is made to deposit by law Then, an oxide film 8 is processed into a predetermined configuration using patterning and RIE by lithography. This oxide film etching is performed using the conditions into which a nitride and a silicon layer are hard to be etched. Next, as shown in drawing 5 , the polish recon layer 6 and the collector field 5 of N type are etched in order by RIE by using a nitride 7 as a mask. Next, as shown in drawing 6 , etching removal of the nitride 7 is carried out using RIE. At this time, the field exposed to the front face among the oxide film 8 and the oxide film 2 is also etched for how many minutes.

[0009] Then, the field exposed to the front face in the polish recon layer 6 and the collector field 5 of N type is continuously etched to the middle of the collector field 5 of N type by using a nitride 7 as a mask using RIE. Next, after making about 200A oxide film 9 deposit on a substrate front face as shown in drawing 7 , a base region 10 is formed by the ion implantation by using as a mask a resist pattern which is illustrated. Furthermore, the ion implantation of the germanium is carried out and a base region 10 is SiGe-ized by adding like a heat process. Next, as shown in drawing 8 , after carrying out the ion implantation of the impurity of N type and forming the collector field 11, about 1000A nitride is made to deposit and a side attachment wall 12 is formed in the perimeter of a base electrode using RIE. For this reason, oxide films 9 other than the side-attachment-wall lower part are removed. Furthermore, an oxide film 13 is deposited, opening is carried out to a predetermined configuration using patterning and RIE by lithography, and etching removal of the collector field 5 of the exposed N type of a field is carried out almost perpendicularly using SiRIE. Next, the field where etching removal of the collector field 5 of N type was carried out almost perpendicularly, and opening are made to deposit about 2000A polish recon layer by LPCVD etc., as shown in drawing 9 .

[0010] Then, after carrying out the ion implantation of the N type impurities, such as As or P, and making it into the polish recon of N+ mold like a heat process in addition, patterning is performed and it considers as the emitter polish recon electrode 14. Under the present circumstances, a little, an N type impurity is diffused to a base region 10, and serves as an emitter region 15. Consequently, the boundary of a base region 10 and an emitter region 15 becomes almost perpendicular. Therefore, the base region 10 of the stable configuration can be formed. Next, as shown in drawing 1 , about 10000A interlayer insulation film 16 is made to

deposit, a predetermined photolithography is performed, the contact hole to each electrode of a bipolar transistor is punctured (not shown [a base contact hole]), and the predetermined wiring 17 is formed using metals, such as aluminum and W. As explained in full detail above, in case this invention forms the emitter section, after it etches a base part almost perpendicularly, it forms a polish recon layer. From this, the homogeneity in the depth direction of base width of face improves, and when dispersion in base width of face decreases in the base region upper part and the base region lower part, the response characteristic is raised. Moreover, the ion implantation of the germanium is carried out and a base region 10 is SiGe-ized by adding like a heat process. Consequently, the energy gap of a load electronic band increases on the boundary between an emitter and the base.

[0011] For this reason, the diffusing capacity of the minority carrier from the base to the inside of an emitter can decrease, and a response characteristic can be raised.

[0012]

[Effect of the Invention] As explained in full detail above, in case this invention forms the emitter section, after it etches a base part almost perpendicularly, it forms a polish recon layer. From this, the homogeneity in the depth direction of base width of face improves, and when dispersion in base width of face decreases in the base region upper part and the base region lower part, the response characteristic is raised. Moreover, the ion implantation of the germanium is carried out and a base region 10 is SiGe-ized by adding like a heat process. Consequently, the energy gap of a load electronic band increases on the boundary between an emitter and the base.

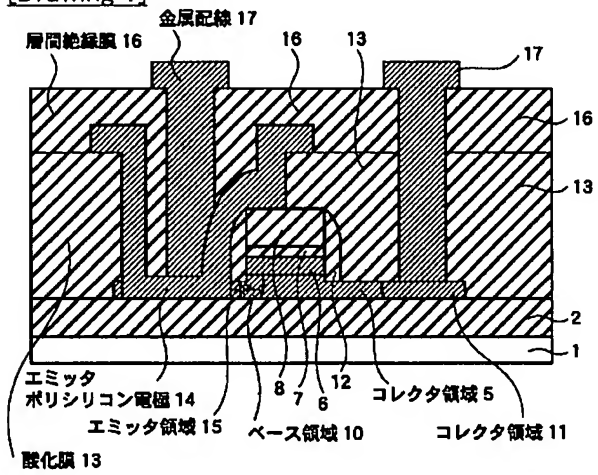
[Translation done.]

* NOTICES *

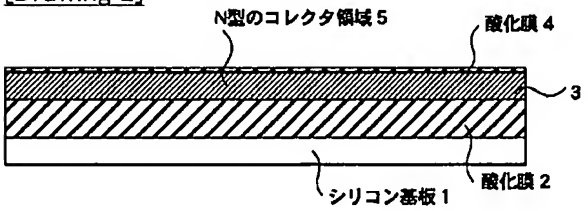
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

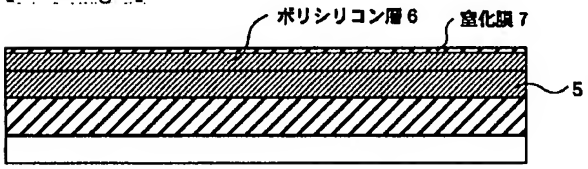
[Drawing 1]



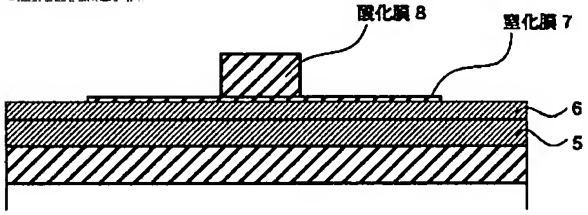
[Drawing 2]



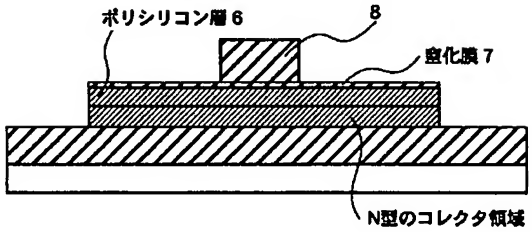
[Drawing 3]



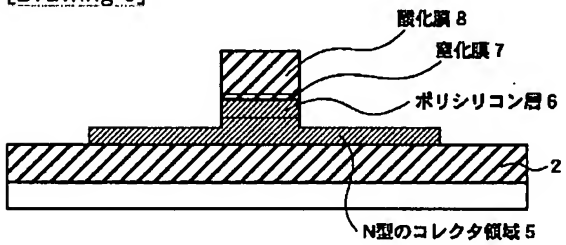
[Drawing 4]



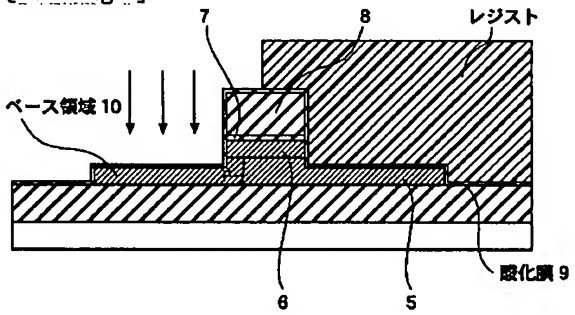
[Drawing 5]



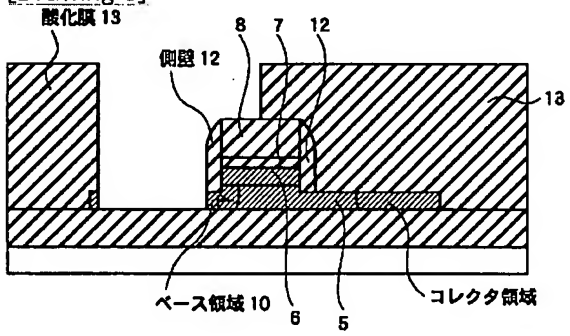
[Drawing 6]



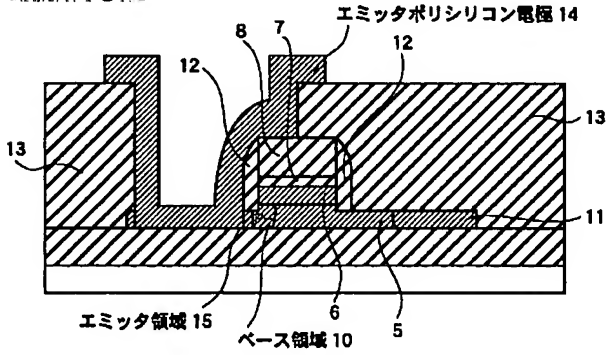
[Drawing 7]



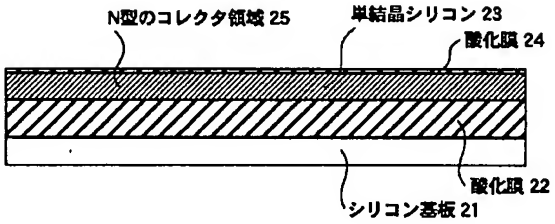
[Drawing 8]



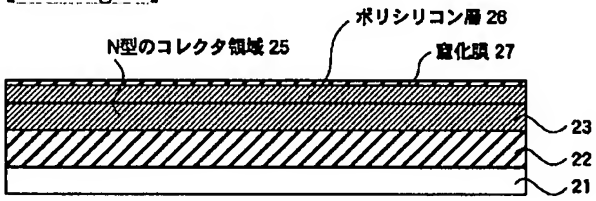
[Drawing 9]



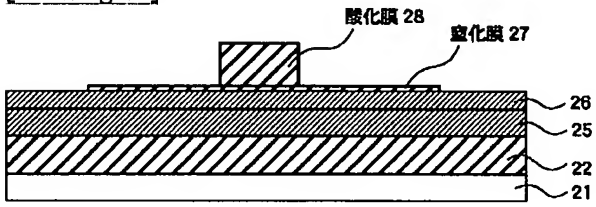
[Drawing 10]



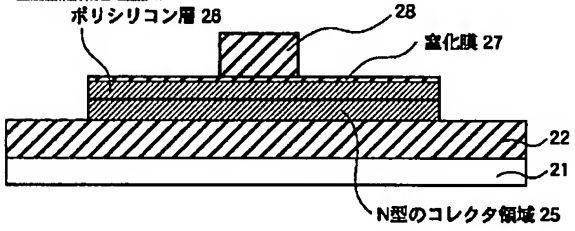
[Drawing 11]



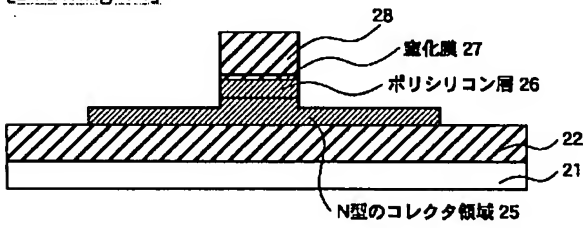
[Drawing 12]



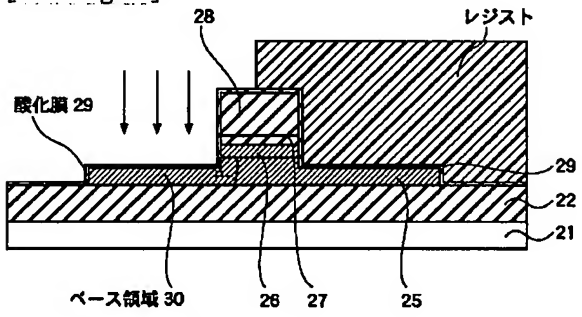
[Drawing 13]



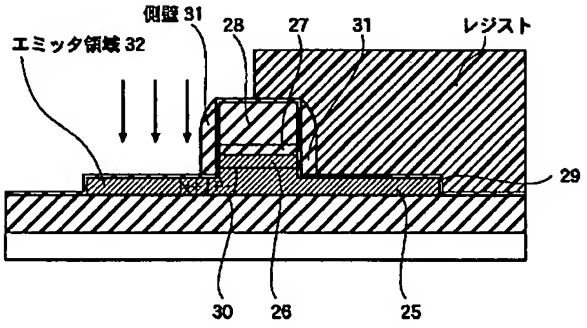
[Drawing 14]



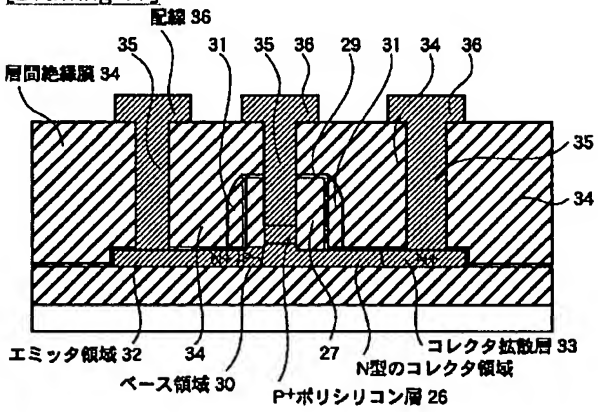
[Drawing 15]



[Drawing 16]



[Drawing 17]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－118856
（P2001－118856A）
(43)公開日　平成13年４月27日(2001.4.27)

(51)Int.Cl.'	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　21/331		Ｈ０１Ｌ　29/72	５Ｆ００３
29/73			

審査請求　未請求　請求項の数４　ＯＬ　（全７頁）

(21)出願番号　特願平11－298044

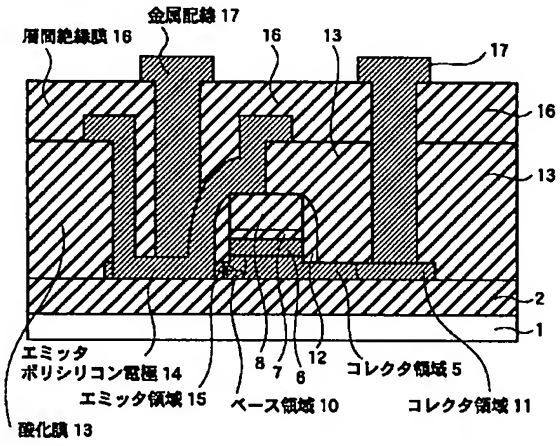
(22)出願日　平成11年10月20日(1999.10.20)

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者　新居　英明
神奈川県横浜市磯子区新杉田町８番地株式会社東芝横浜事業所内
(74)代理人　100083161
弁理士　外川　英明

Ｆターム(参考)　5F003 AP00 AP05 AZ03 BA13 BB00
BB04 BB07 BE07 BF03 BF06
BH08 BH99 BM01 BN01 BP01
BP23 BP24 BP31 BP96 BS08

(54)【発明の名称】　半導体装置およびその製造方法

(57)【要約】
【課題】ＳＯＩ基板上に形成される横形のバイポーラトランジスタにおいて、エミッタ拡散層を単結晶シリコン中に形成しているため、ベースからエミッタへの少数キャリアの注入量が多く、高周波応答特性の劣化を引き起こしていた。本発明はこの課題を解決することを目的とする。
【解決手段】単結晶シリコン３中にベース領域１０を形成する。更に、ベース電極の側壁材１２をマスクとして、ベース領域１０をエッチング除去した後、ポリシリコン層を堆積し、Ｎ型の不純物を添加することにより、エミッタポリシリコン層１４を形成する。



1

【特許請求の範囲】

【請求項１】第一導電型の半導体基板上に第一の絶縁膜を形成し、この第一の絶縁膜上に単結晶シリコン層を形成し、この単結晶シリコン層上に、第二の絶縁膜を形成する工程と、

前記単結晶シリコン層に不純物イオン注入を用いて第二導電型領域を形成する工程と、

前記第二の絶縁膜を除去する工程と、

前記第二導電型領域上に、多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜に不純物イオン注入により第一導電型の不純物を注入する工程と、

前記多結晶シリコン膜上に第三の絶縁膜を形成する工程と、

前記第三の絶縁膜を、前記第二導電型領域内のエミッタ部形成予定領域上方、ベース部形成予定領域上方、及びコレクタ部形成予定領域上方のみを残して除去する工程と、

前記窒化膜表面の一部に第四の絶縁膜を形成する工程と、

前記第三の絶縁膜の下方以外に位置する前記多結晶シリコン膜、前記第二導電型領域を除去する工程と、

前記第四の絶縁膜の下方以外に位置する前記第三の絶縁膜、前記多結晶シリコン膜、及び前記第二導電型領域上部を除去する工程と、

前記第二導電型領域、前記第三の絶縁膜、前記多結晶シリコン膜、前記第四の絶縁膜の露出した表面に第五の絶縁膜を形成する工程と、

第一導電型の不純物イオン注入により、選択的に前記第二導電型領域内にベース領域を形成する工程と、

前記第二導電型領域内に、第二導電型の不純物を選択的にイオン注入し、コレクタ領域を形成する工程と、

前記第五の絶縁膜を除去する工程と、

露出した、前記第三の絶縁膜側面、前記多結晶シリコン膜側面、前記第四の絶縁膜側面、前記ベース領域上の一部、前記第２導電型領域上の一部に、前記第六の絶縁膜を形成する工程と、

前記第一の絶縁膜上、前記第二導電型領域上、前記第四の絶縁膜上、前記ベース領域上、前記コレクタ領域上、および前記第六の絶縁膜上に層間絶縁膜を形成する工程と、

選択性のある除去方法により、前記層間絶縁膜を開口部形成予定領域に従って除去し、前記第四の絶縁膜の一部、前記第六の絶縁膜の一部、層間絶縁膜側面、および前記ベース領域の一部を露出させた開口部を形成する工程と、

選択性のある除去方法により、露出させた前記ベース領域の内、エミッタ部形成予定領域を、ほぼ垂直な前記ベース領域側面が形成できるように除去する工程と、

前記エミッタ部形成予定領域、前記開口部に、第二導電型の不純物を注入した、多結晶シリコンから成る一定の膜厚のエミッタ電極を形成し、同時に、このエミッタ電極と隣接した前記ベース領域の一部をエミッタ領域として形成する工程とを具備する半導体装置の製造方法。

2

【請求項２】前記ベース領域にＧｅを注入し、Ｇｅベース領域を形成する工程を具備することを特徴とする前記請求項１記載の半導体装置。

【請求項３】半導体基板上の第一の絶縁膜と、

前記第一の絶縁膜上に設けられたベース部と、

前記第一の絶縁膜上で、かつ前記ベース部一方側の側面に隣接して設けられたコレクタ部と、

前記ベース部他方側の側面と、一方側側面でほぼ垂直に隣接して設けられたエミッタ部と、

前記ベース部表面上の一部に、ほぼ垂直に設けられた第１の側壁絶縁膜と、

前記コレクタ部表面上の一部に、ほぼ垂直に設けられた第２の側壁絶縁膜と、

前記第一の絶縁膜上に、前記ベース部他方側に対して一定間隔を隔てて、ほぼ垂直に設けられた第一の層間絶縁膜と、

前記第１の側壁絶縁膜、及び前記第２の側壁絶縁膜の中間領域の一部に存在する第２の絶縁膜と、

前記第２の絶縁膜表面上の一部にほぼ垂直に設けられた第２の層間絶縁膜と、

前記第１の層間絶縁膜側面、前記第１の層間絶縁膜表面の一部、前記第２の層間絶縁膜側面、前記第２の層間絶縁膜表面の一部、前記第１の側壁絶縁膜側面、第２の絶縁膜表面の一部、前記エミッタ部他方側側面、および前記第一の絶縁膜上の一部に形成された、一定の厚さの多結晶シリコンから成るエミッタ電極部とを具備する事を特徴とする半導体装置。

【請求項４】前記ベース部にＧｅを注入した事を特徴とする請求項３記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、ＳＯＩ基板上の横形バイポーラトランジスタの製造に関するものである。

【０００２】

【従来の技術】近年、携帯用通信機器への搭載を目的としたアナログＬＳＩの開発が進められているが、待ち受け受信時間や通話時間の長時間化を実現するために、トランジスタの低消費電力化が重要な課題として捉えられている。以下、図に示すように、従来技術を用いて形成されたバイポーラトランジスタの製造方法を説明する。まず、図１０に示すように、シリコン基板２１、酸化膜２２、単結晶シリコン層２３から成るＳＯＩ基板上に、熱酸化により酸化膜２４を形成した後、Ｎ型不純物イオン注入をおこない、単結晶シリコン層２３をＮ型のコレクタ領域２５として形成する。次に、図１１に示すように、ＨＦ系溶液を用いて表面の酸化膜２４を剥離した

後、ＬＰＣＶＤ法により、約５００Åのポリシリコン層２６を堆積させ、イオン注入によりＰ型の不純物をドープし、さらに約２００Åの窒化膜２７を堆積させる。次に、図１２に示すように、リソグラフィによるパターニングとＲＩＥ法によるエッチングを用いて、窒化膜２７を所定の形状に加工した後、ＬＰＣＶＤ法により、約２０００Åの酸化膜２８を堆積させる。続いて、リソグラフィによるパターニングとＲＩＥを用いて、酸化膜２８を所定の形状に加工する。

【０００３】本酸化膜エッチングは、窒化膜及びシリコンに対してエッチングされにくい条件を用いて行う。次に、図１３に示すように、窒化膜２７をマスクとして、ＲＩＥによりポリシリコン層２６、Ｎ型のコレクタ領域２５をエッチングする。次に、図１４に示すように、ＲＩＥを用いて、窒化膜２７で表面に露出された領域をエッチング除去する。この時、酸化膜２８及び酸化膜２２で表面に露出された領域も、幾分はエッチングされる。その後、連続してＲＩＥを用い、Ｎ型のコレクタ領域２５表面で露出された領域を、Ｎ型のコレクタ領域２５の途中までエッチングする。次に、図１５に示すように、基板表面に約２００Åの酸化膜２９を堆積させた後、図示されるようなレジストパターンをマスクとして、イオン注入によりベース領域３０となる拡散層を形成する。このベース領域３０は、適切なイオン注入条件を選択することにより、Ｐ＋ポリシリコン層２６と電気的に接続されている。次に、図１６に示すように、約１０００Åの絶縁層を堆積し、ＲＩＥを用いて側壁３１を形成し、図示されるようなレジストパターンをマスクとして、イオン注入によりエミッタ領域３２となる拡散層を形成する。

【０００４】次に、図１７に示すように、リソグラフィによるパターニングとイオン注入により、コレクタ拡散層３３を形成した後、約１００００Åの層間絶縁膜３４を堆積させ、所定のフォトリソグラフィを行って、バイポーラトランジスタの各電極に対するコンタクト３５を開孔し、Ａｌ、Ｗ等の金属を用いて、所定の配線３６を形成する。

【０００５】

【発明が解決しようとする課題】以上のような方法で製造されたトランジスタは、通常のバイポーラトランジスタに比べて寄生容量が低く、低消費電力化を達成することが出来るが、次のような課題があった。すなわち、エミッタ部を単結晶シリコン層中に形成しているため、ベースからエミッタへの少数キャリアの注入量が多く、高周波応答特性の劣化を引き起こしていた。また、イオン注入で上方からエミッタ部を形成しているため、エミッタ部として形成されなかった下部は、そのままベース部分として残存する。その為、ベース幅が垂直方向で均等になっておらず、特に酸化膜２に近い下部領域で、エミッタ部として形成されなかったベース部分により、ベース幅が増大し、高周波特性の劣化を引き起こしていた。本発明は上記課題を解決した高周波応答特性の劣化のない半導体装置の製造方法を提供することを目的とする。

【０００６】

【課題を解決するための手段】本発明の構造は、半導体基板上の第一の絶縁膜と、前記第一の絶縁膜上に設けられたベース部と、前記第一の絶縁膜上で、かつ前記ベース部一方側の側面に隣接して設けられたコレクタ部と、前記ベース部他方側の側面と、一方側側面でほぼ垂直に隣接して設けられたエミッタ部と、前記ベース部表面上の一部に、ほぼ垂直に設けられた第１の側壁絶縁膜と、前記コレクタ部表面上の一部に、ほぼ垂直に設けられた第２の側壁絶縁膜と、前記第一の絶縁膜上に、前記ベース部他方側に対して一定間隔を隔てて、ほぼ垂直に設けられた第一の層間絶縁膜と、前記第１の側壁絶縁膜、及び前記第２の側壁絶縁膜の中間領域の一部に存在する第２の絶縁膜と、前記第２の絶縁膜表面上の一部にほぼ垂直に設けられた第２の層間絶縁膜と、前記第１の層間絶縁膜側面、前記第１の層間絶縁膜表面の一部、前記第２の層間絶縁膜側面、前記第２の層間絶縁膜表面の一部、前記第１の側壁絶縁膜側面、第２の絶縁膜表面の一部、前記エミッタ部他方側側面、および前記第一の絶縁膜上の一部に形成された、一定の厚さの多結晶シリコンから成るエミッタ電極部とを具備する事を特徴とする。

【０００７】本発明の製造方法は、第一導電型の半導体基板上に第一の絶縁膜を形成し、この第一の絶縁膜上に単結晶シリコン層を形成し、この単結晶シリコン層上に、第二の絶縁膜を形成する工程と、前記単結晶シリコン層に不純物イオン注入を用いて第二導電型領域を形成する工程と、前記第二の絶縁膜を除去する工程と、前記第二導電型領域上に、多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に不純物イオン注入により第一導電型の不純物を注入する工程と、前記多結晶シリコン膜上に第三の絶縁膜を形成する工程と、前記第三の絶縁膜を、前記第二導電型領域内のエミッタ部形成予定領域上方、ベース部形成予定領域上方、及びコレクタ部形成予定領域上方のみを残して除去する工程と、前記窒化膜表面の一部に第四の絶縁膜を形成する工程と、前記第三の絶縁膜の下方以外に位置する前記多結晶シリコン膜、前記第二導電型領域を除去する工程と、前記第四の絶縁膜の下方以外に位置する前記第三の絶縁膜、前記多結晶シリコン膜、及び前記第二導電型領域上部を除去する工程と、前記第二導電型領域、前記第三の絶縁膜、前記多結晶シリコン膜、前記第四の絶縁膜の露出した表面に第五の絶縁膜を形成する工程と、第一導電型の不純物イオン注入により、選択的に前記第二導電型領域内にベース領域を形成する工程と、前記第二導電型領域内に、第二導電型の不純物を選択的にイオン注入し、コレクタ領域を形成する工程と、前記第五の絶縁膜を除去する工程と、露出した、前記第三の絶縁膜側面、前記多結晶シ

リコン膜側面、前記第四の絶縁膜側面、前記ベース領域上の一部、前記第２導電型領域上の一部に、前記第六の絶縁膜を形成する工程と、前記第一の絶縁膜上、前記第二導電型領域上、前記第四の絶縁膜上、前記ベース領域上、前記コレクタ領域上、および前記第六の絶縁膜上に層間絶縁膜を形成する工程と、選択性のある除去方法により、前記層間絶縁膜を開口部形成予定領域に従って除去し、前記第四の絶縁膜の一部、前記第六の絶縁膜の一部、層間絶縁膜側面、および前記ベース領域の一部を露出させた開口部を形成する工程と、選択性のある除去方法により、露出させた前記ベース領域の内、エミッタ部形成予定領域を、ほぼ垂直な前記ベース領域側面が形成できるように除去する工程と、前記エミッタ部形成予定領域、前記開口部に、第二導電型の不純物を注入した、多結晶シリコンから成る一定の膜厚のエミッタ電極を形成し、同時に、このエミッタ電極と隣接した前記ベース領域の一部をエミッタ領域として形成する工程とを具備する事を特徴とする。

【０００８】

【発明の実施の形態】まず、図２に示すように、シリコン基板１、酸化膜２、単結晶シリコン層３からなるＳＯＩ基板上に、熱酸化により酸化膜４を形成する。その後、単結晶シリコン層３にＮ型の不純物イオン注入をおこない、Ｎ型のコレクタ領域５を形成する。次に、図３に示すように、ＨＦ系溶液を用いて表面の酸化膜４を剥離した後、ＬＰＣＶＤ法により、約５００Åのポリシリコン層６を堆積させ、イオン注入によりＰ型の不純物をドープし、さらに約２００Åの窒化膜７を堆積させる。次に、図４に示すように、リソグラフィによるパターニングとＲＩＥ法によるエッチングを用いて、窒化膜７を所定の形状に加工した後、ＬＰＣＶＤ法により、約２０００Åの酸化膜８を堆積させる。続いて、リソグラフィによるパターニングとＲＩＥを用いて、酸化膜８を所定の形状に加工する。本酸化膜エッチングは窒化膜及びシリコン層がエッチングされにくい条件を用いて行う。次に、図５に示すように、窒化膜７をマスクとして、ＲＩＥにより、ポリシリコン層６、Ｎ型のコレクタ領域５を順番にエッチングする。次に、図６に示すように、ＲＩＥを用いて、窒化膜７をエッチング除去する。この時、酸化膜８および酸化膜２の内で表面に露出された領域も、幾分はエッチングされる。

【０００９】その後、連続してＲＩＥを用い、窒化膜７をマスクとして、ポリシリコン層６、Ｎ型のコレクタ領域５で表面に露出された領域を、Ｎ型のコレクタ領域５の途中までエッチングする。次に、図７に示すように、基板表面に約２００Åの酸化膜９を堆積させた後、図示されるようなレジストパターンをマスクとして、イオン注入によりベース領域１０を形成する。さらに、Ｇｅをイオン注入し、熱工程を加えることによりベース領域１０をＳｉＧｅ化する。次に、図８に示すように、Ｎ型の

不純物をイオン注入し、コレクタ領域１１を形成した後、約１０００Å程度の窒化膜を堆積させ、ＲＩＥを用いて、ベース電極周囲に側壁１２を形成する。この為、側壁下部以外の酸化膜９は除去される。更に、酸化膜１３を堆積し、リソグラフィによるパターニングとＲＩＥを用いて所定の形状に開口し、ＳｉＲＩＥを用いて、露出された領域のＮ型のコレクタ領域５をほぼ垂直にエッチング除去する。次に、図９に示すように、Ｎ型のコレクタ領域５がほぼ垂直にエッチング除去された領域、および開口部に、ＬＰＣＶＤ等により、約２０００Å程度のポリシリコン層を堆積させる。

【００１０】その後、Ａｓ或いはＰ等のＮ型不純物をイオン注入し、熱工程を加え、Ｎ＋型のポリシリコンとした後、パターニングを行いエミッタポリシリコン電極１４とする。この際、Ｎ型不純物は若干、ベース領域１０へと拡散され、エミッタ領域１５となる。この結果、ベース領域１０とエミッタ領域１５の境界はほぼ垂直となる。従って、安定した形状のベース領域１０が形成できる。次に、図１に示すように、約１００００Åの層間絶縁膜１６を堆積させ、所定のフォトリソグラフィを行って、バイポーラトランジスタの各電極に対するコンタクトホールを開孔し（ベースコンタクト孔は図示せず）、Ａｌ、Ｗ等の金属を用いて、所定の配線１７を形成する。以上詳述したように、本発明はエミッタ部を形成する際に、ベース部分をほぼ垂直にエッチングした後でポリシリコン層を形成する。このことから、ベース幅の深さ方向での均一性が向上し、ベース領域上部、およびベース領域下部で、ベース幅のばらつきが少なくなる事により、応答特性を向上させている。また、Ｇｅをイオン注入し、熱工程を加えることによりベース領域１０をＳｉＧｅ化する。この結果、エミッタとベース間の境界において、荷電子帯のエネルギーギャップが増大する。

【００１１】この為、エミッタ中へのベースからの少数キャリアの拡散量が減少し、応答特性を向上させることができる。

【００１２】

【発明の効果】以上詳述したように、本発明はエミッタ部を形成する際に、ベース部分をほぼ垂直にエッチングした後でポリシリコン層を形成する。このことから、ベース幅の深さ方向での均一性が向上し、ベース領域上部、およびベース領域下部で、ベース幅のばらつきが少なくなる事により、応答特性を向上させている。また、Ｇｅをイオン注入し、熱工程を加えることによりベース領域１０をＳｉＧｅ化する。この結果、エミッタとベース間の境界において、荷電子帯のエネルギーギャップが増大する。

【図面の簡単な説明】

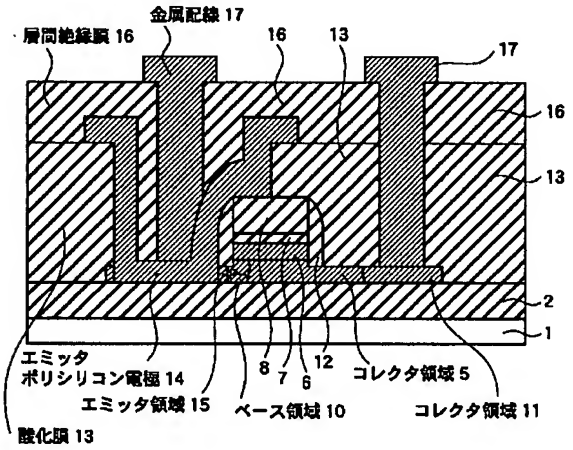
【図１】実施例の半導体装置の製造方法の完成図を示す断面図である。

【図２】実施例の半導体装置の製造方法の一工程を示す

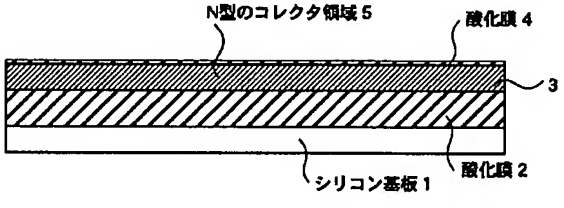
断面図である。
【図３】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図４】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図５】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図６】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図７】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図８】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図９】実施例の半導体装置の製造方法の一工程を示す断面図である。
【図１０】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１１】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１２】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１３】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１４】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１５】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１６】従来例の半導体装置の製造方法の一工程を示す断面図である。
【図１７】従来例の半導体装置の製造方法の完成図を示す断面図である。

【符号の説明】
1　シリコン基板
2　酸化膜
3　単結晶シリコン層
4　酸化膜
5　N型のコレクタ領域
6　ポリシリコン層
7　窒化膜
8　酸化膜
9　酸化膜
１０　ベース領域
１１　コレクタ領域
１２　側壁
１４　エミッタポリシリコン電極
１５　エミッタ領域
１６　層間絶縁膜
１７　配線

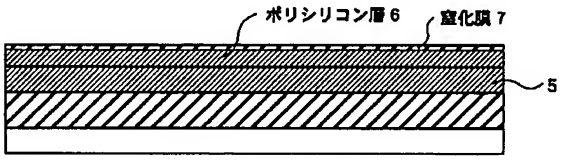
【図１】



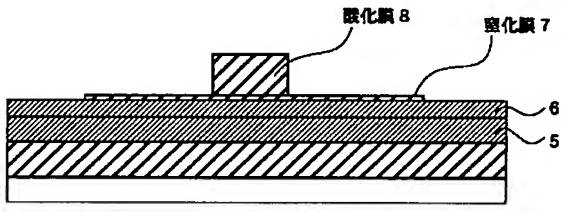
【図２】



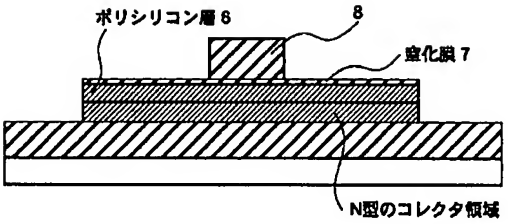
【図３】



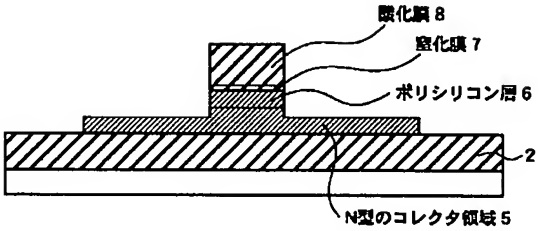
【図４】



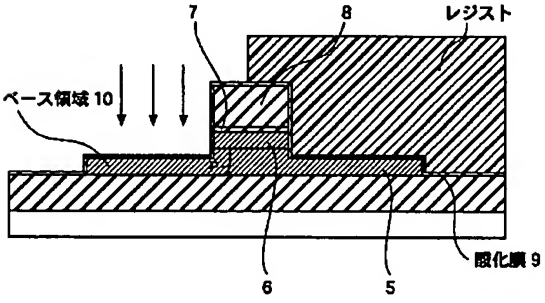
【図５】



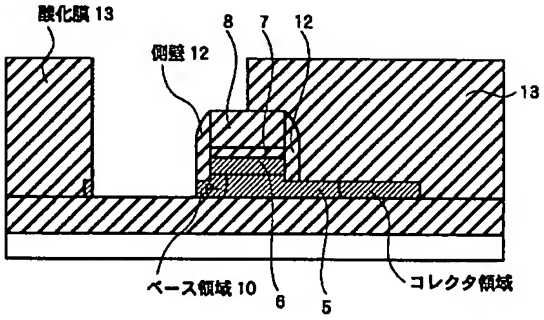
【図６】



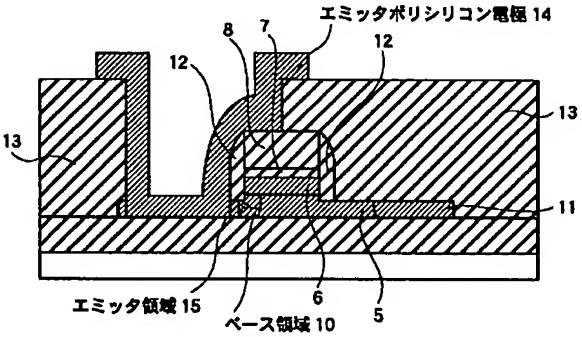
【図７】



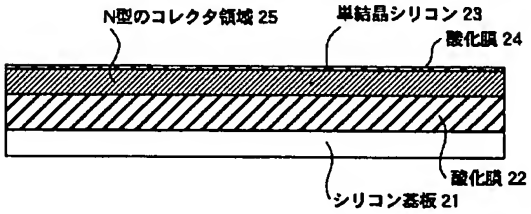
【図８】



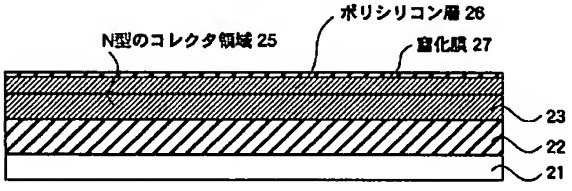
【図９】



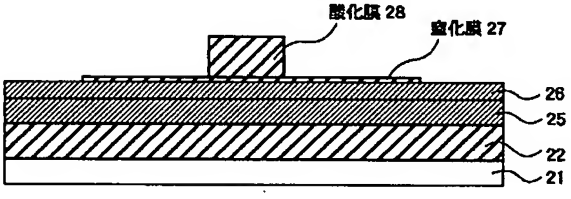
【図１０】



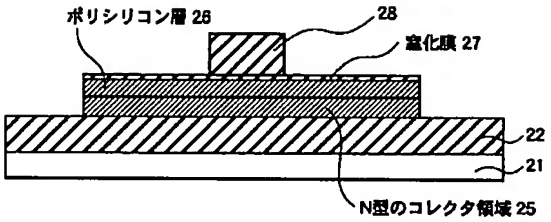
【図１１】



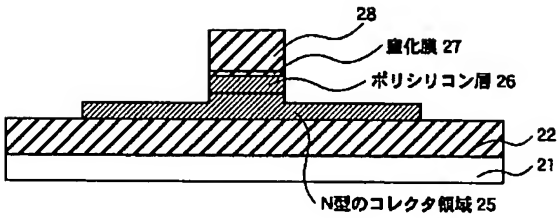
【図１２】



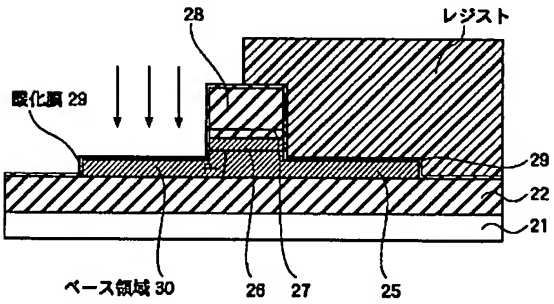
【図１３】



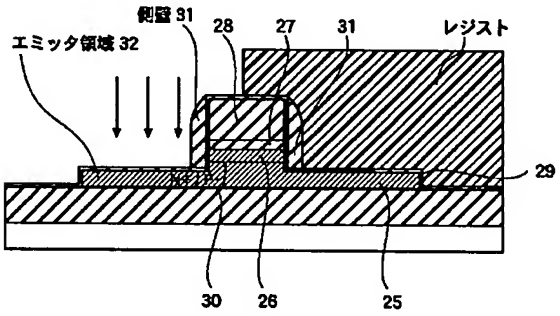
【図１４】



【図１５】



【図１６】



【図１７】